ยืน ภู่วรวรรณ

เพนเทียม
ซีพียู...ร้อน ๆ

สุดยอดเทคโนโลยี
ในโลกของพีซี
เจาะลึกจ้าวชิพรุ่นใหม่
เพนเทียม ชิพร้อน ๆ
แห่งปี 93

หลังจากที่อินเทลพัฒนาชิพ 80486 ออกมาจำหน่ายในปี พ.ศ. 2532 คู่แข่งของอินเทลที่ปรากฏตัวเด่นชัดคือกลุ่มซีพียูที่เป็น RISC ในช่วงเวลาหลังจากปีนั้นหลายบริษัทผลิตชิพ RISC ที่มีสถาปัตยกรรมทำงานได้เร็วมาก จนอินเทลต้องให้ความสนใจและพัฒนาชิพรุ่นใหม่เพื่อที่จะได้แข่งขันในตลาด การแข่งขันกันนี้เองเป็นตัวเร่งเทคโนโลยีด้านนี้อย่างมาก และมีแนวโน้มที่ต้องพัฒนาต่อออกไปอีก

จากการที่อินเทลพัฒนา 80x86 ในยุคแรกด้วยแนวความคิดของ CISC (Complex Instruction Set Computer) ความซับซ้อนของชุดคำสั่งของ x86 จึงมีมาก และทำให้เมื่อมีการพัฒนาชิพต่อมา รากฐานของชุดคำสั่งเหล่านี้ต้องเก็บไว้ แต่เมื่อเปรียบเทียบกับ RISC (Reduce Instruction Set Computer) แล้วพบว่า RISC สร้างโครงสร้างซีพียูให้ทำงานได้เร็วกว่า สามารถใช้โครงสร้างการทำงานแบบขนานเพื่อให้ทำงานได้หลายคำสั่งพร้อมกัน RISC จึงเป็นซีพียูที่หลายบริษัทมุ่งความสนใจและเน้นการพัฒนาอย่างจริงจัง

เข้าใจพื้นฐานของ RISC และ CISC

กลไกการทำงานของซีพียูมีหน่วยประมวลผลที่เรียกว่า ALU ภายในมีรีจิสเตอร์ต่าง ๆ อยู่ เมื่อทำงานผ่าน

หน่วยประมวลผลทางคณิตศาสตร์และลอจิก ก็มีหน่วยคำนวณด้วยเลขจำนวนเต็มหรือหน่วยคำนวณด้วยเลขจำนวนจริง (FPU-Floating Point Unit)

หากพิจารณาที่โครงสร้างของ CISC หมายถึง คำสั่งมีความซับซ้อน มีการทำงานหลายขั้นตอน แต่ละคำสั่งทำงานไม่เหมือนกัน บางคำสั่งใช้เวลาทำงานนาน ใช้หลายสัญญาณนาฬิกา บางคำสั่งทำงานได้เร็ว ลองพิจารณาโครงสร้างคำสั่งของ 80x86 ซึ่งคำสั่งง่าย ๆ อาจใช้เพียงไบต์เดียว คำสั่งที่สลับซับซ้อนอาจมีความยาวได้ถึง 15 ไบต์ โครงสร้างคำสั่งของ x86 แสดงดังรูปที่ 1

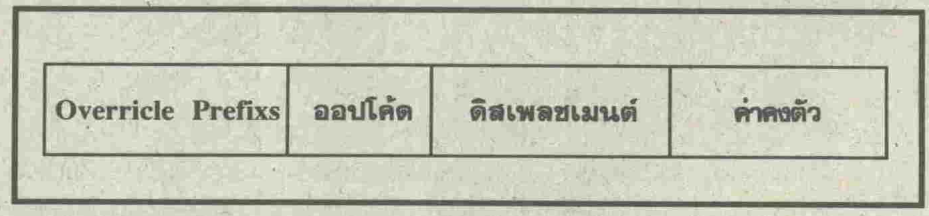
เมื่อคำสั่งมีขนาดความยาวไม่เท่ากัน การทำงานแต่ละคำสั่งจึงต้องมีขั้นตอนการทำงานที่แยกจากกัน บางคำสั่งอาจมีขั้นตอนการคำนวณที่ยุ่งยากซับซ้อน บางคำสั่งอาจเป็นเพียงการเคลื่อนย้ายข้อมูลแบบง่าย ๆ ลักษณะของ CISC จึงสนับสนุนการทำงานที่ซับซ้อน เช่น ถ้าเป็นคำสั่งการนำข้อมูลมาประมวลผลแล้วโอนย้ายข้อมูลไปมาด้วย ก็มีการทำงานหลายขั้นตอน

ในกรณีของ RISC เป็นการลดจำนวนคำสั่งลงให้เหลือไม่มาก แต่ละคำสั่งเป็นคำสั่งพื้นฐาน มีขั้นตอนการทำงานที่เหมือนกัน จึงสามารถนำคำสั่งแต่ละคำสั่งมาแยกการทำงาน และให้ทำงานขนานกัน เรียงกันไปที่เรียกว่าไปป์ไลน์ ลักษณะการจัดเรียงแบบไปป์ไลน์แสดงดังรูปที่ 2

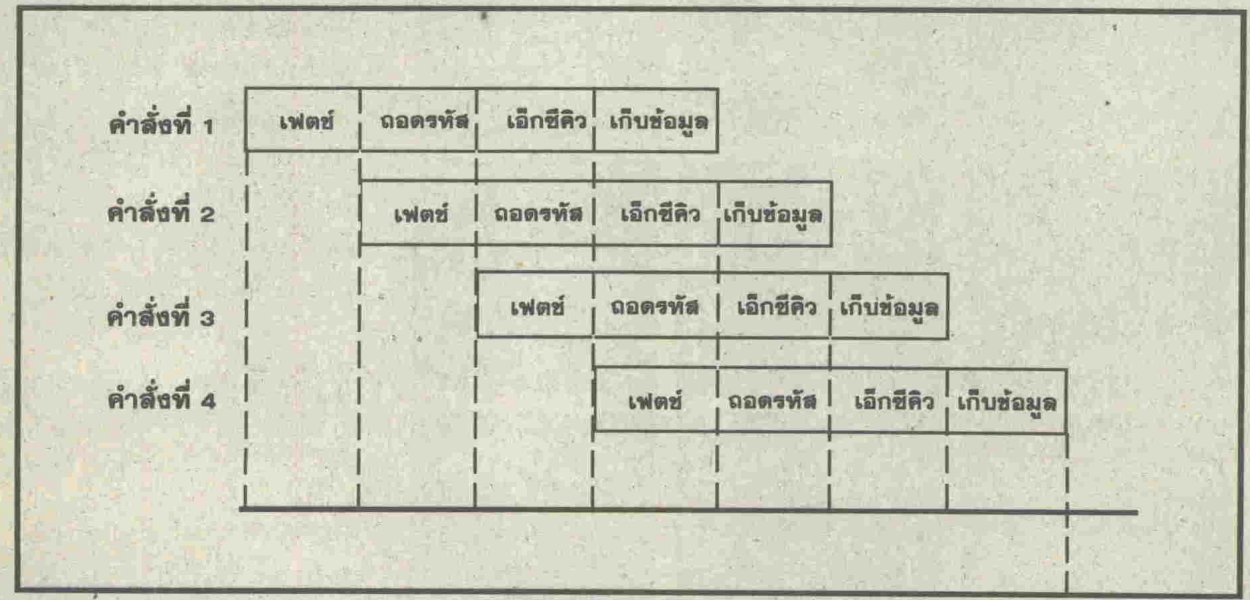
สังเกตจากตัวอย่างที่เสนอในรูปที่ 2 จะพบว่า ทุกคำสั่งมีลำดับการทำงานเหมือนกันคือ เริ่มจากเฟตช์ ถอดรหัส เอ็กซีคิวต์ แล้วนำข้อมูลไปเก็บ การวางคำสั่งเพื่อให้ทำงานเรียงกันในลักษณะนี้ทำให้ความเร็วเพิ่มขึ้นเป็น 4 เท่า วิธีการของ RISC จึงต้องให้ทุกคำสั่งดำเนินการในลักษณะเช่นนี้ และด้วยเหตุนี้เองการทำงานของ RISC จึงทำงานได้เร็วกว่าสัญญาณนาฬิกา หรือสัญญาณนาฬิกาหนึ่งลูกทำได้มากกว่าหนึ่งคำสั่ง

486 ก็ใช้หลักการของ RISC บ้างแล้ว

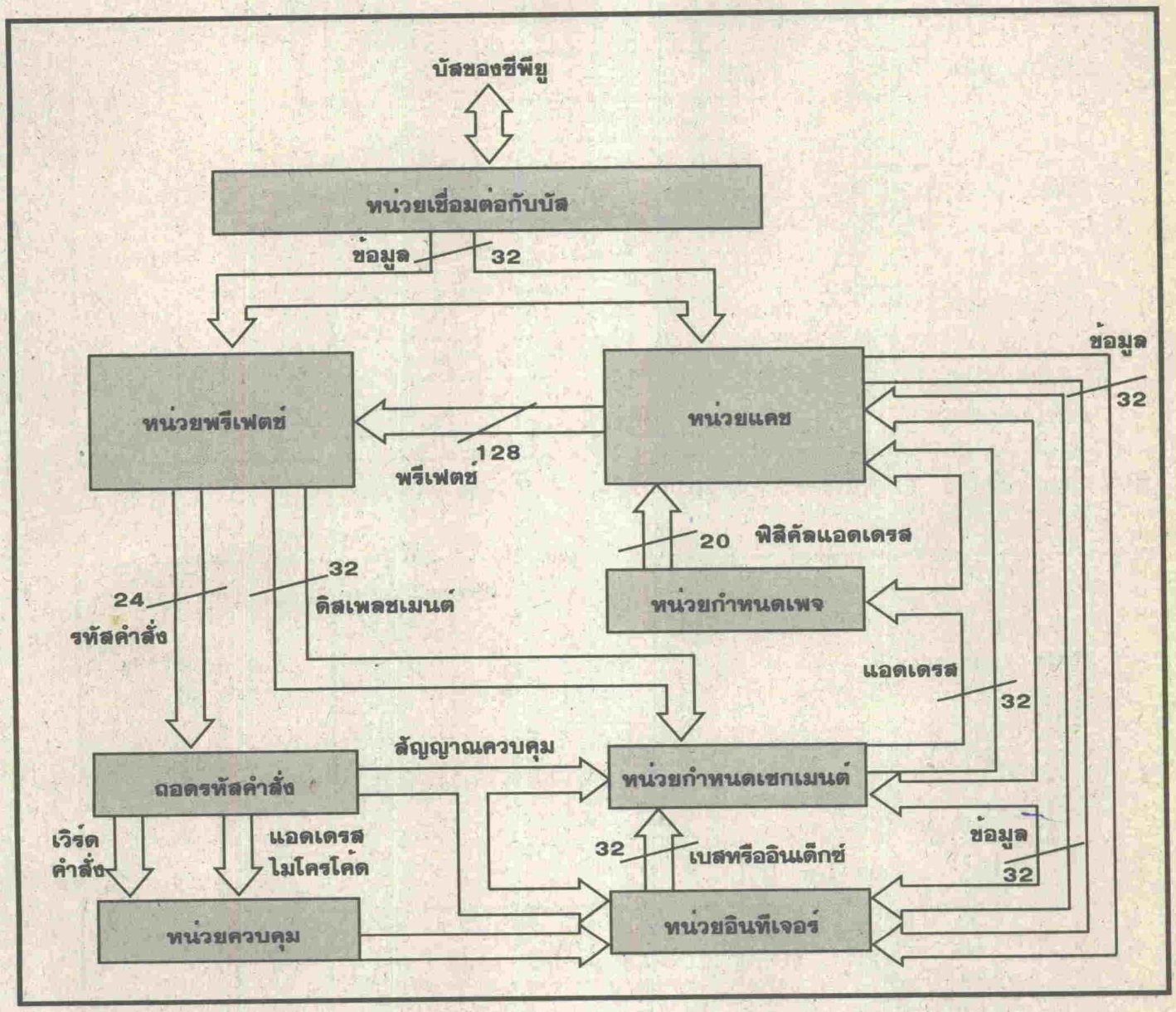
อินเทลพยายามแก้ปัญหาการทำงานล่าช้าในซีพียู 8086 และ 286 จึงได้พัฒนามาเป็น 386 แต่เมื่อพิจารณาที่ 486 กับ 386 เห็นว่ามีชุดคำสั่งเหมือนกันหมด แต่ 486 ทำงานได้เร็วกว่า 386 ทั้งนี้เพราะ 486 ได้นำหลักการของ RISC มาใช้มากขึ้น มีการวางไปป์ไลน์เพื่อให้ทำงานเร็วขึ้น และ 486 ก็ทำงานได้เร็วกว่า 386 อย่างเห็นได้ชัด โครง-



รูปที่ 1 รูปแบบคำสั่งของ 80x86



รูปที่ 2 รูปแบบการทำงานของ RISC ในลักษณะไปป์ไลน์



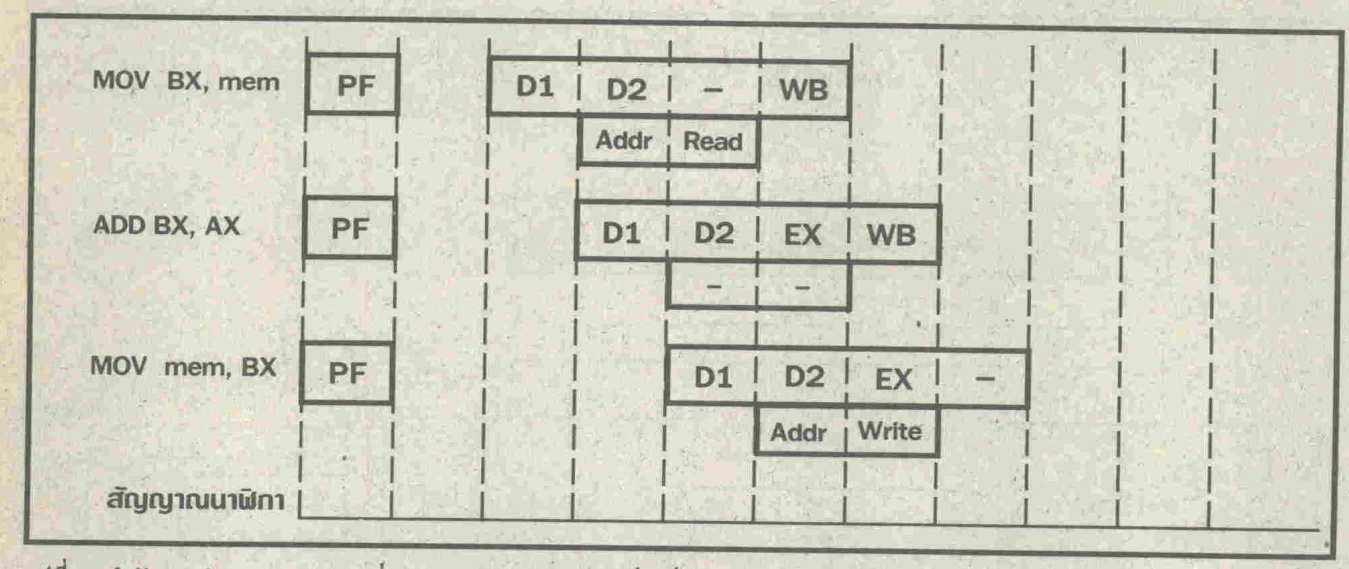
รูปที่ 3 โครงสร้างภายในของ 486 แสดงสถาปัตยกรรมพื้นฐานการทำงาน

สร้างของ 486 แสดงดังรูปที่ 3

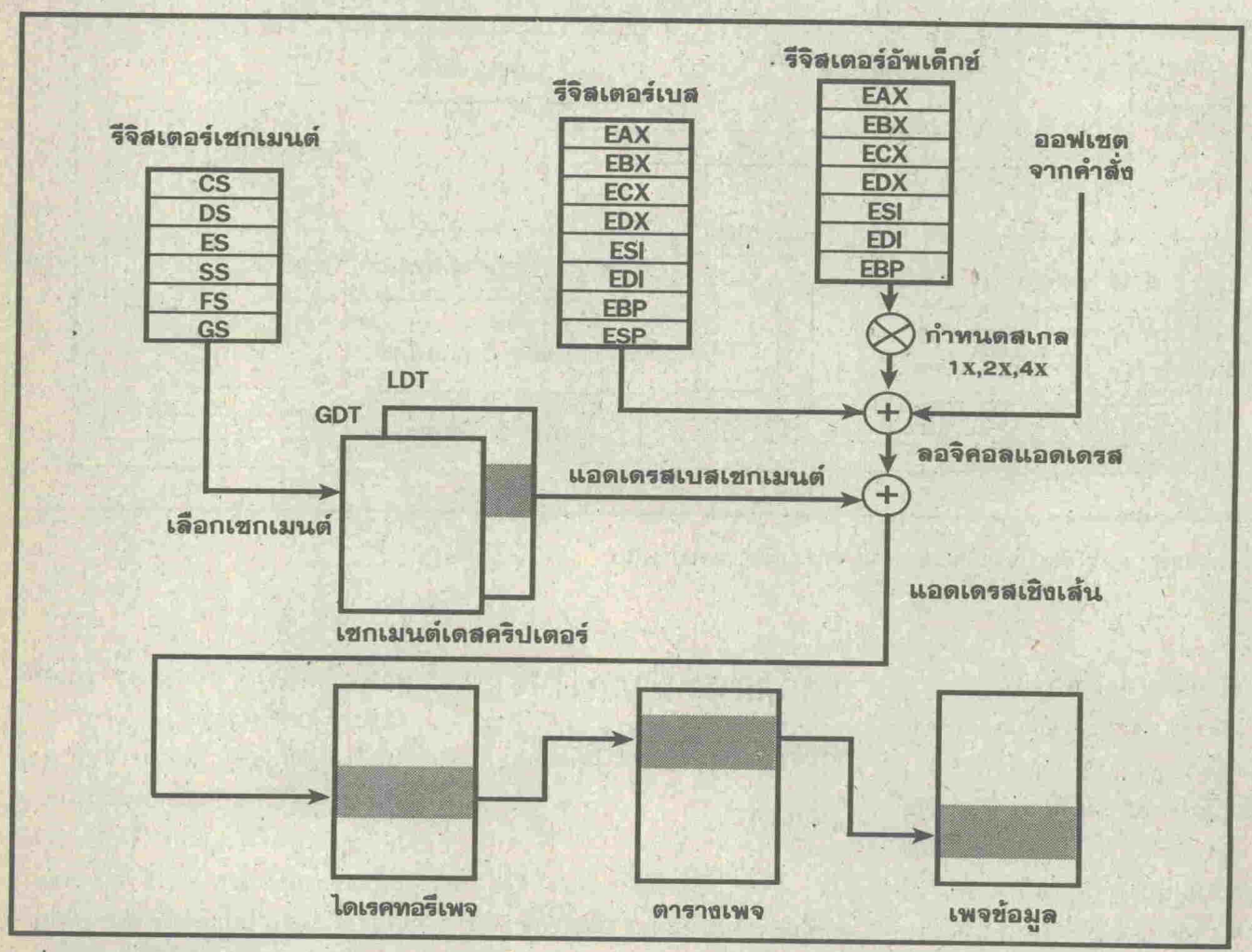
การจัดวางโครงสร้างทางสถาปัตยกรรมของ 486 วางโครงสร้างไปป์ไลน์ไว้ชัดเจน แต่ก็ไม่สามารถทำงานแบบขนานได้เต็มที่ มีการลดเวลาลงการทำงานแบบไปป์ดังรูปที่ 4 คำสั่งที่ทำงานแต่ละคำสั่งมีการดำเนินการในแต่ละส่วนเรียงกันไป

การจัดการหน่วยความจำของ 486 ก็แก้ปัญหาไปมาก

486 ใช้โครงสร้างของ 386 ที่ดำเนินการให้มีโครงสร้างหน่วยความจำแบบเชิงเส้น โดยใช้แอดเดรส 32 บิต ดังนั้นขีดความสามารถในการอ้างอิงแอดเดรสจึงได้สูงถึง 2^{32} เท่ากับ 4 จิกะไบต์ หรือกล่าวได้ว่าการดำเนินงานของ 486 ทำงานเป็นเซกเมนต์ที่มีขนาดได้ถึงเซกเมนต์ละ 4 จิกะไบต์ การที่มีหน่วยความจำขนาดใหญ่ทำให้การสร้างระบบงาน เช่น บนยูนิกซ์สามารถกำหนดให้หน่วยความจำที่ใช้ต่องานมีขนาด



รูปที่ 4 ลำดับการทำงานของ 486 ที่วางการทำงานแบบขนานเพื่อเพิ่มความเร็ว (ใช้หลักการของ RISC)



รูปที่ 5 การจัดโครงสร้างหน่วยความจำของ 80486

ใหญ่ด้วย

การจัดการหน่วยความจำของ 80486 แสดงดังรูปที่ 5

แอดเดรสที่กล่าวอ้างด้วย 486 มีกลไกการทำงานในชิพที่ยุ่งยากพอควร ทั้งนี้ต้องให้ทำงานได้หลายโหมด กล่าวคือ ทำงานในโหมด 8086 และ 80286 ได้ วิธีการกำหนดแอดเดรสในโหมด 386/486 ได้นำมาใช้กับโอเอสรุ่นใหม่ เช่น โอเอสทูรุ่น 2.0 ขึ้นไป วินโดวส์-เอ็นที ยูนิกซ์ ฯลฯ โอเอสเหล่านี้ต้องการพื้นที่ในหน่วยความจำจำนวนมาก และแบ่งระบบออกเป็นหลาย ๆ งาน แต่ละงานทำงานในหน่วยความจำที่แยกจากกัน และมีกลไกการป้องกันหน่วยความจำเพื่อไม่ให้สับสนและทับซ้อนกัน

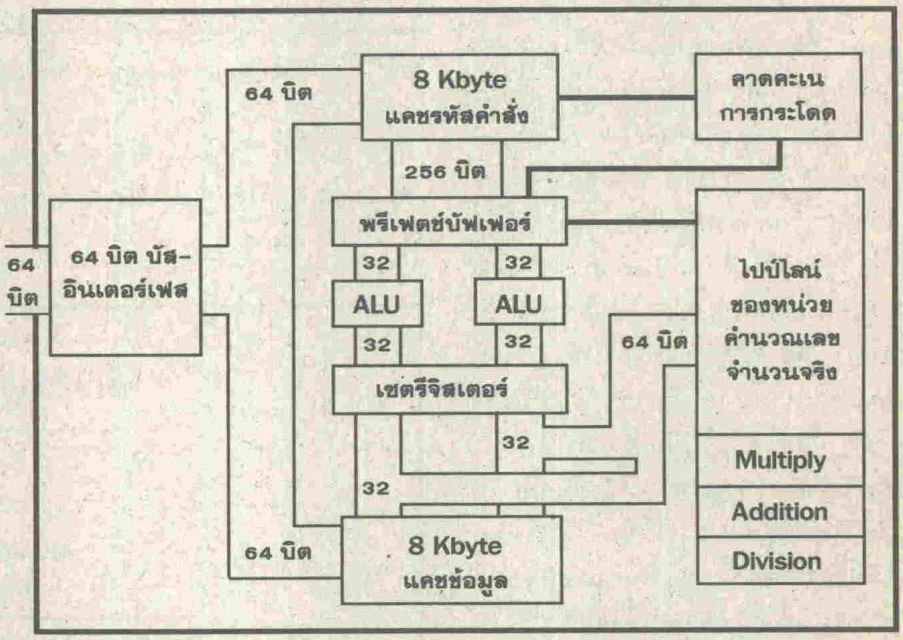
เพนเทียม หนทางของอินเทลที่สร้าง 80x86 กับ RISC รวมกัน

อินเทลสร้างชิพเพนเทียมขึ้นมาในยุคแข่งขันกับ RISC ชิพเพนเทียมของอินเทลได้เริ่มผลิตและออกจำหน่ายในปี พ.ศ. 2536 นี้ อินเทลใช้เทคโนโลยี BiCMOS ซึ่งเป็นเทคโนโลยีที่ทำชิพที่มีทรานซิสเตอร์เล็กขนาด 0.8 ไมครอน มีความหนาแน่น ถึง 3.1 ล้านทรานซิสเตอร์ วิ่งด้วยความเร็วของสัญญาณนาฬิกา 66 เมกะเฮิรตซ์ เพนเทียมมีความคอมแพตทิเบิลกับ 80486 ใช้ซอฟต์แวร์ร่วมกันได้

ขีดความสามารถของเพนเทียมเมื่อเทียบกับ 486DX2 ที่ใช้ความถี่สัญญาณนาฬิกาเท่ากันแต่ทำงานได้เร็วกว่า โดยเฉพาะเมื่อใช้งานในส่วนการคำนวณแบบตัวเลขจำนวนจริง จะเร็วกว่า 80486 ถึง 3.5 เท่า ส่วนการทำงานแบบตัวเลขจำนวนเต็มมีความเร็วกว่า 80486 ประมาณเท่าตัว เหตุผลของการทำงานที่เร็วกว่าเพราะเพนเทียมใช้ระบบบัสข้อมูลขนาด 64 บิต และมีการปรับปรุงระบบ RISC ภายในให้มีไปป์ไลน์ และยังทำงานแบบซูปเปอร์สเกล่าร์ คือมีหน่วยคำนวณมากกว่าหนึ่งหน่วย ตารางที่ 1 เป็นตารางเปรียบเทียบระหว่าง 80486 กับเพนเทียมภายใต้การทำงานในสภาวะต่างกัน จะเห็นว่าการทำงานโดยรวมของเพนเทียมดีกว่า 80486 มาก

		เพนเทียม	66-MHz 486DX2	เพนเทียม
32 บิต	Dhrystone MIPS v2.1	101.2	51.6	96%
	SPECint92	64.5	32.2	100%
	Linpack MFLOPS (SP)	14.7	3.1	374%
	SPECfp92	56.9	16.1	253%
16 บิต	Norton SI v6.0	211.4	144.2	47%
	Power Meter v1.7	46.4	29.5	56%
	Landmark v2.00 CPU	385.0	223.1	73%
	Landmark v2.00 FPU	1128.2	545.8	107%

ตารางที่ 1 เปรียบเทียบ 80486 กับเพนเทียม



รูปที่ 6 โครงสร้างเพนเทียมแสดงให้เห็นหน่วยประมวลผลที่ทำงานแบบขนาน

สถาปัตยกรรมแบบซูปเปอร์สเกล่าร์ของเพนเทียม

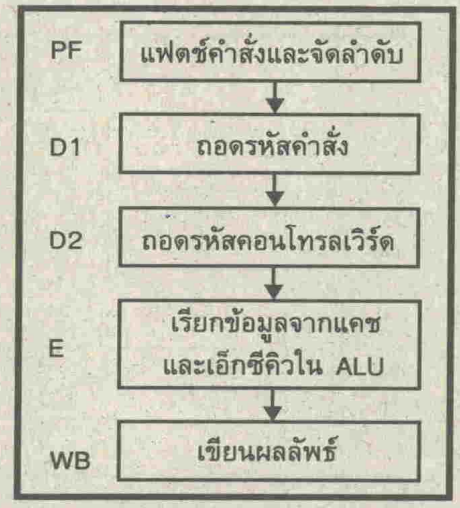
อินเทลทำการออกแบบเพนเทียมในลักษณะพิเศษที่เรียกว่า ซูปเปอร์-สเกล่าร์ หมายถึง มีหน่วยประมวลผลภายในมากกว่าหนึ่งตัว หน่วยประมวลผล ALU แต่ละตัวแยกกันทำงานอย่างอิสระ ดังนั้นจึงทำงานขนานกันได้ โครงสร้าง

บล็อกไดอะแกรมของเพนเทียมแสดงดังรูปที่ 6

การที่มีโครงสร้างการทำงานแบบไปป์ไลน์จำเป็นต้องแบ่งขั้นตอนการทำงานเป็นขั้น ๆ สำหรับเพนเทียมแบ่งเป็น 5 ขั้นตอน ตามหลักการของ RISC คือ พรีเฟตช์ (PF) ถอดรหัสคำสั่ง (D1) ถอดรหัสคอนโทรลเวิร์ด (D2) เอ็กซีคิวต์ (E) และการเขียนผลลัพธ์ (WB) โครงสร้างไปป์ไลน์แสดงดังรูปที่ 7

การเฟตช์คำสั่งของเพนเทียม จะอ่านจากแคชคำสั่ง ซึ่งอ่านเข้ามาในคิวได้ถึง 256 บิต หรือ 32 ไบต์ การนำคำสั่งเข้ามาจำนวนมากก็เพื่อการวิเคราะห์และจัดลำดับการทำงานในขั้นพรีเฟตช์ โดยมีการถอดรหัสเวิร์ดควบคุม ทั้งนี้เพราะจำเป็นที่จะต้องสั่งการทำงานแต่ละคำสั่งลงใน ALU ซึ่งมีการขนานกันสองตัว ลักษณะของไปป์ไลน์จึงมีสองทางพร้อมกัน เรียกว่า V ไปป์ทางหนึ่ง และ U ไปป์อีกทางหนึ่ง การทำงานแบบขนานของ ALU นี้ทำให้การทำงานโดยรวมเร็วขึ้น การแยกไปป์ไลน์ออกสองทางเพื่อประมวลผลพร้อมกันนี้ทำให้ทำงานได้สองคำสั่งในเวลาเดียวกัน วิธีการนี้เราเรียกว่า ซูปเปอร์สเกล่าร์ โครงสร้างไปป์ไลน์แบบซูปเปอร์สเกล่าร์แสดงดังรูปที่ 8 การแยกเส้นทางนี้จะเริ่มแยกหลังจากถอดรหัสคำสั่งแล้ว ดังนั้นการอ่านคำสั่งมาถอดรหัสจึงทำพร้อมกันหลายคำสั่งในเวลาเดียวกัน การถอดรหัสจึงมีการวิเคราะห์ลักษณะคำสั่งที่จะทำไปด้วย

การทำงานหลายคำสั่งพร้อมกันในเวลาเดียวจำเป็นต้องมีวิธีการตรวจสอบว่าสองคำสั่งที่ทำพร้อมกันจะทำให้เกิดปัญหาในการทำงานหรือไม่ เช่น ถ้าคำสั่งหนึ่งต้องรอผลลัพธ์ที่ได้จากคำสั่งก่อนหน้าตัวเอง กรณีให้สองคำสั่งนี้



รูปที่ 7 ไปป์ไลน์ของเพนเทียมมี 5 ขั้นตอน

ทำพร้อมกันก็ไม่ได้ หรือถ้าคำสั่งแรกสั่งกระโดด คำสั่งทั้งสองก็หมดความหมาย การตรวจสอบนี้มีเงื่อนไขที่น่าสนใจคือ

เฟตช์คำสั่งมาหลายคำสั่ง

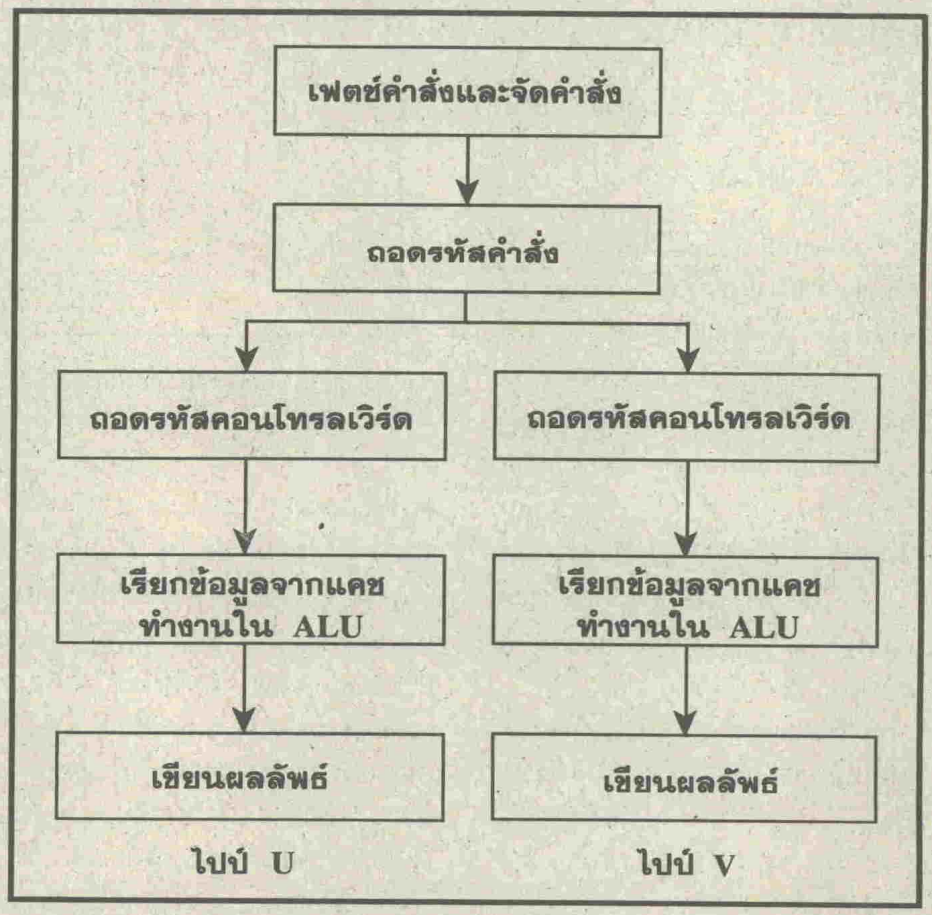
ถอดรหัสคำสั่งที่จะทำงาน I_1 และ I_2 ที่ติดกัน

IF หากสิ่งเหล่านี้เกิดขึ้นให้ถือว่าเป็นจริง

I_1 เป็นคำสั่ง simple
I_2 เป็นคำสั่ง simple
I_1 เป็นคำสั่ง JPM
Desination ของ I_1 ≠ Source ของ I_2
Desination ของ I_1 ≠ Desination ของ I_2

THEN ให้นำ I_1 ใส่ไปป์ U และ I_2 ใส่ไปป์ V

ELSE ให้นำ I_1 ใส่ไปป์ U



รูปที่ 8 การทำงานแบบซูปเปอร์สกาล่า

เพนเทียมมีขนาดบัสข้อมูล 64 บิต

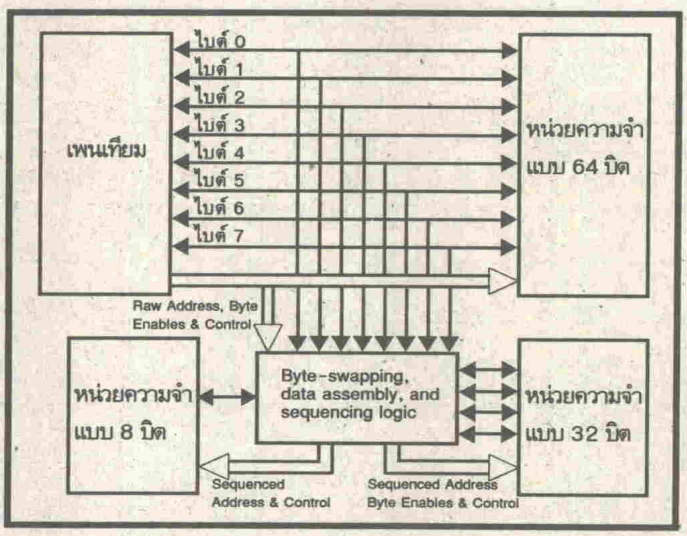
การออกแบบเพนเทียมจำเป็นต้องเพิ่มขีดความสามารถโดยรวมให้สูงกว่า 486 อย่างเด่นชัด ทางหนึ่งที่ทำได้คือการเพิ่มขนาดของบัสข้อมูลให้สูงขึ้นเป็น 64 บิต ส่วนแอดเดรสของเพนเทียมยังคงไว้ที่ 32 บิต การจัดโครงสร้างบัสแบบนี้ทำให้การเชื่อมต่อกับหน่วยความจำจึงทำได้ทั้งแบบ 64 บิต, 32 บิต หรือ 8 บิต ดังรูปที่ 9

การที่บัสข้อมูลของเพนเทียมมีขนาด 64 บิต ซึ่งมีขนาดใหญ่เกินกว่าระบบบัสของพีซีขณะนี้จะรับได้ เพราะถ้าเป็น VL บัส ก็รับได้เพียง 32 บิต และถ้าเป็น ISA ก็จะเป็นบัสขนาด 16 บิตเท่านั้น เมื่อนำมาสร้างเป็นไมโครคอมพิวเตอร์และให้มีความคอมแพตทิเบิลกับพีซีเดิม สามารถให้การ์ดเชื่อมต่อได้ก็จำเป็นต้องแปลงบัสของเพนเทียมให้เป็นไปตามมาตรฐาน

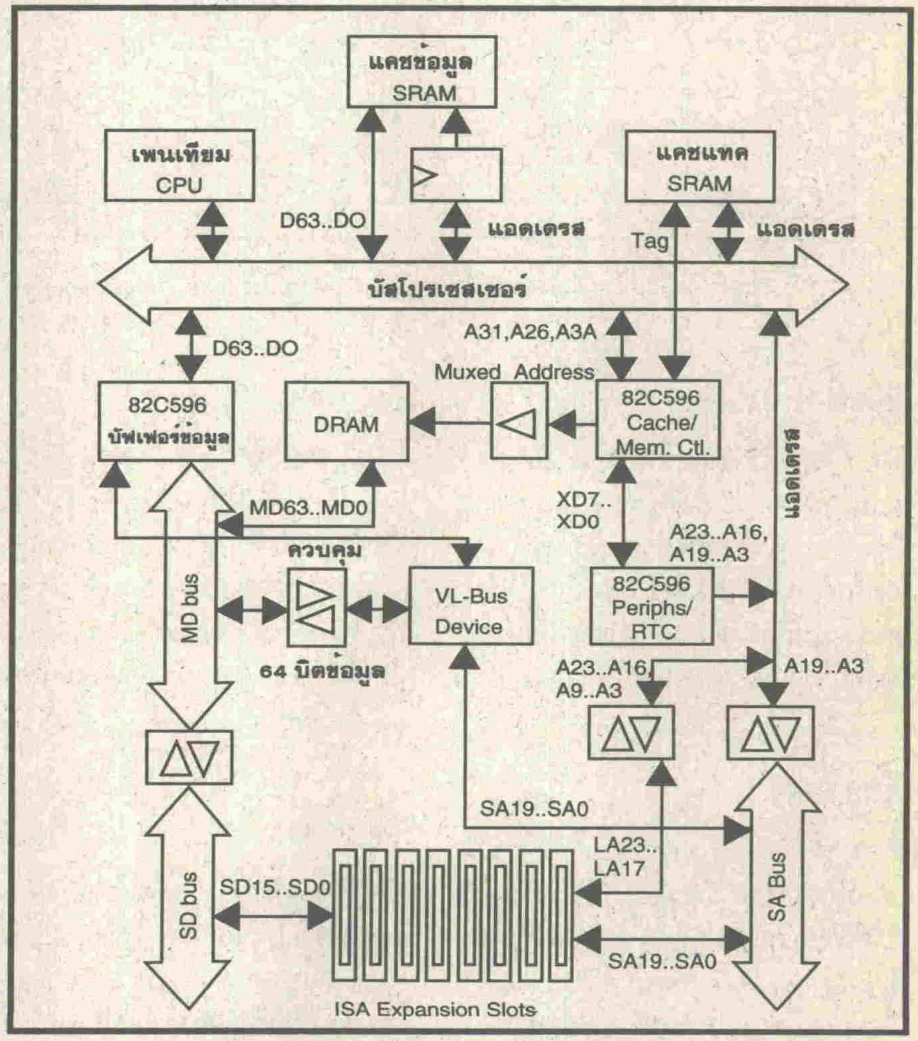
รูปที่ 10 เป็นบล็อกไดอะแกรมแสดงระบบไมโครคอมพิวเตอร์ที่ใช้เพนเทียมเป็นซีพียู มีการแปลงบัสให้เป็น ISA บัส

พร้อมแล้วที่จะแข่งขันกับ RISC

จากรายงานของหนังสือไมโครโปรเซสเซอร์รีพอร์ต เมื่อเดือนมีนาคม พ.ศ. 2536 รายงานผลการเปรียบเทียบระหว่างซีพียูที่เป็นคู่แข่งสำคัญของเพนเทียมหลายตัวที่มีอยู่ในท้องตลาด โดยเพนเทียมเป็นเครื่องต้นแบบที่ใช้ในการทำงานเปรียบเทียบ โดยเปรียบเทียบกับซีพียูต่าง ๆ ดังนี้



รูปที่ 9
เพนเทียมทำงานเรียกหาข้อมูลแบบ 64 บิต, 32 บิต และ 8 บิต



รูปที่ 10 เมื่อนำเพนเทียมมาใช้เป็นซีพียูของไมโครคอมพิวเตอร์ที่มีบัสเป็น ISA และ VL บัส

System	Intel prototype	Compaq Deskpro/66M	DEC 7000 Model 610	HP 9000 Model 735	RS/6000 Model 980	SGI prototype	SparcStation 10/Mod. 41	SPARC Classic
Processor	Intel Pentium	Intel 486DX2	DECchip 21064	HP PA7100	IBM Power 6264	MIPS R4400	TI SuperSPARC	TI microSPARC
Clock Rate	66 MHz	66 MHz	200 MHz	99 MHz	62.5 MHz	75/150 MHz	40 MHz	50 MHz
Cache (on/off-chip)	16K/256K	8K/256K	16K/4M	none/512K	32K/64K	32K/4M	36K/1M	6K/none
espresso	60.4	30.6	105.3	92.3	55.0	82.5	47.7	26.2
li	88.0	49.0	111.8	86.4	59.7	105.1	49.6	20.7
equtott	54.5	29.7	142.5	90.9	67.1	134.1	90.2	51.9
compress	41.4	20.1	70.2	66.0	51.3	69.6	33.9	18.5
sc	96.0	51.9	178.4	71.7	64.5	101.6	71.1	34.2
occ	62.8	23.9	69.6	76.7	59.3	84.9	44.3	18.8
SPECint92	64.5	32.2	106.5	80.0	59.2	94.2	53.2	26.4
spice	49.0	19.2	96.6	91.9	73.7	80.0	43.1	17.0
doduc	49.2	15.3	138.3	142.0	88.6	83.8	49.3	17.0
mdijdp2	62.5	16.8	147.2	192.1	124.2	133.8	67.7	24.6
wave5	38.7	5.9	111.6	112.1	69.2	81.1	49.1	13.7
tomcatv	68.3	16.3	307.1	138.0	210.3	160.6	59.3	20.8
ora	64.6	22.7	167.2	276.9	103.1	111.2	118.5	31.2
alvinn	111.9	27.5	502.9	176.8	206.2	116.0	147.3	34.0
ear	129.7	28.8	605.7	258.4	174.2	210.9	78.3	28.9
mdljsp2	30.1	9.0	76.3	92.3	57.3	66.5	32.6	14.5
swm256	40.9	10.3	201.3	79.3	95.8	68.5	39.0	13.3
su2cor	48.2	19.5	290.7	177.2	208.1	115.7	85.7	25.9
hydro2d	55.6	16.3	215.7	166.1	126.7	117.3	64.2	22.3
nasa7	48.2	15.4	261.7	123.3	203.9	124.9	59.2	27.3
fpppp	62.9	18.1	194.1	237.1	172.6	82.4	71.3	16.9
SPECfp92	56.9	16.0	200.4	150.6	124.8	105.2	63.4	21.0

ตารางที่ 2 เปรียบเทียบประสิทธิภาพของซีพียูรุ่นต่าง ๆ ในยุคปี 2536 (Microprocesser Report Vol.7 No.4 March 29, 1993)

ซีพียูอัลฟา (Alpha)

เป็นของบริษัท ดิจิตอลอีควิปเมนต์ (DEC) โดยวิ่งด้วยเครื่อง DEC 7000 โมเดล 610 วิ่งด้วยความเร็วสัญญาณนาฬิกา 200 เมกะเฮิรตซ์ มีหน่วยความจำแคชภายในชิพ 16 กิโลไบต์ และภายนอกชิพอีก 4 เมกะไบต์

ซีพียู R4400

เป็น RISC ของบริษัท ซิลิคอนกราฟิก วิ่งด้วยเครื่องต้นแบบของบริษัทใช้สัญญาณนาฬิกา 75/150 เมกะเฮิรตซ์ มีหน่วยความจำแคชภายในชิพ 32 กิโลไบต์ และหน่วยความจำแคชภายนอก 4 เมกะไบต์

ซีพียู PA7100

เป็น RISC ของบริษัท ฮิวเล็ตต์-แพคการ์ด เป็นซีพียูหนึ่งที่มาแรง วิ่งทดสอบด้วยเครื่องรุ่น HP9000 โมเดล 735 ทำงานด้วยสัญญาณนาฬิกา 99 เมกะเฮิรตซ์ หน่วยความจำแคชภายในไม่มี ใช้หน่วยความจำแคชภายนอก 512 กิโลไบต์

ซีพียู POWER 6264

เป็น RISC ของไอบีเอ็ม วิ่งทดสอบด้วยเครื่อง RS/6000 โมเดล 980 ทำงานที่สัญญาณนาฬิกา 62.5 เมกะเฮิรตซ์ ใช้แคชภายใน 32 กิโลไบต์ และภายนอก 64 กิโลไบต์

ซีพียูซูปเปอร์สปาร์ก

เป็น RISC ของบริษัท เท็กซัสอินสตรูเมนต์ วิ่งทดสอบด้วย Sparcstation 10 โมเดล 41 ของบริษัทซันทำงานที่สัญญาณนาฬิกา 40 เมกะเฮิรตซ์ ใช้แคชภายใน 36 กิโลไบต์ และภายนอก 1 เมกะไบต์

ซีพียู 80486 DX2

ทดสอบด้วยเครื่องของบริษัทคอมแพคเดสโปร 66M ทำงานด้วยสัญญาณนาฬิกา 66 เมกะเฮิรตซ์ ใช้แคชภายใน 8 กิโลไบต์ ภายนอก 256 กิโลไบต์

ผลการทดสอบแสดงได้ดังตารางที่ 2

ต้นฉบับไม่มีหน้า 261-262

No This Page 261-262 In Original

จากการทดสอบประสิทธิภาพของ RISC เมื่อเรียงตามประสิทธิภาพการประมวลผลแบบเลขจำนวนเต็ม (integer) โดยใช้ SPECint92 พบว่าซีพียูที่ทำงานเร็วสุดคือ ALPHA มี SPECint92 มีค่าถึง 106 ในขณะที่ 486DX2 มีค่าเพียง 32 และเมื่อจัดลำดับแล้วจะเรียงลำดับได้ดังนี้ ALPHA, R4400, PA7100, เพนเทียม, POWER PC, SuperSPARC และ 486 หากจะเรียงลำดับตามการคำนวณแบบเลขจำนวนจริง ALPHA, PA7100 และ POWER PC จะมีขีดความสามารถสูงสุด

เห็นได้ชัดว่าเพนเทียมมีขีดความสามารถอยู่ในกลุ่ม RISC ได้อย่างสบาย และเมื่อนำเพนเทียมไปเปรียบเทียบกับ 8086 เพนเทียมจะมีประสิทธิภาพสูงกว่าเดิมเป็นร้อยเท่า ข้อเด่นของเพนเทียมเมื่อเทียบกับ RISC คือ เพนเทียมออกแบบมาให้รันโปรแกรมประยุกต์เดิมที่วิ่งภายใต้ 80x86 ได้

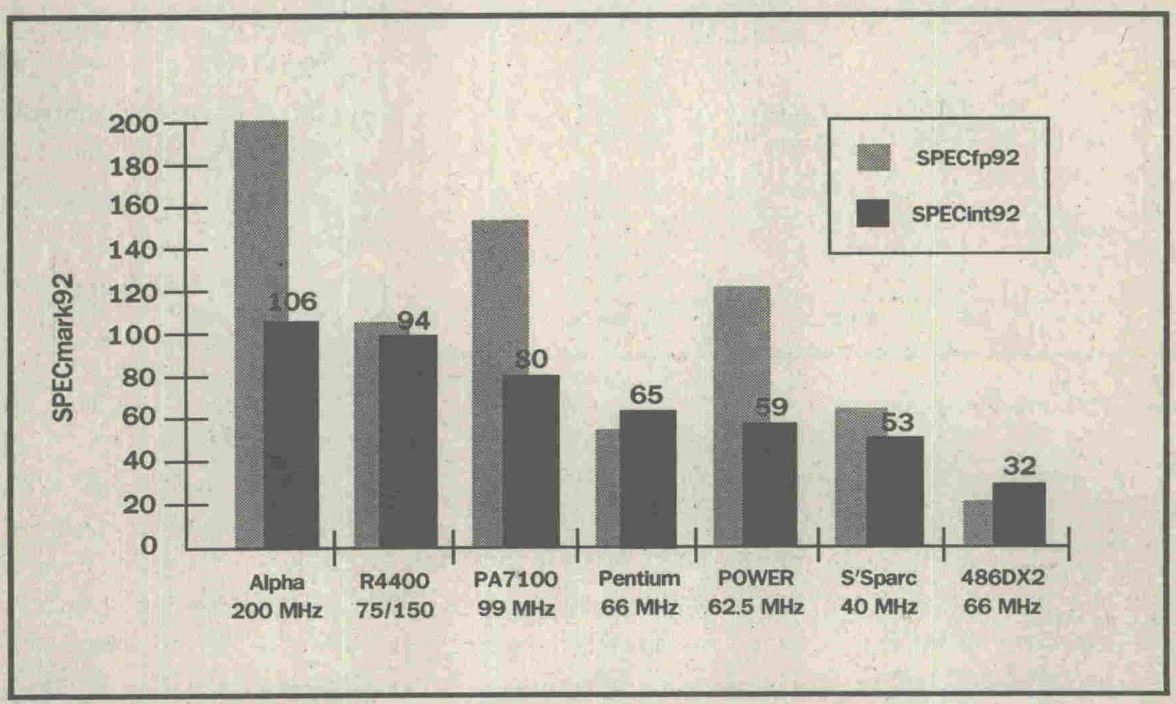
รูปที่ 11 เป็นกราฟแสดงประสิทธิภาพของซีพียูที่ได้จากตารางที่ 2

แต่เมื่อคาดคะเนว่าในปลายปี 2536 ถึงต้นปี 2537 จะมีไมโครคอมพิวเตอร์ที่ใช้ชิพรุ่นใหม่เหล่านี้ออกมาแข่งขันกันมาก การตั้งราคาส่วนใหญ่จะอยู่ในช่วง 5,000 เหรียญสหรัฐ ประสิทธิภาพของเครื่องที่ใช้ซีพียูต่าง ๆ เหล่านี้ จะมีค่าอยู่ระหว่าง SPECint92 ค่าประมาณ 40-65 ดังจะแสดงในรูปที่ 12

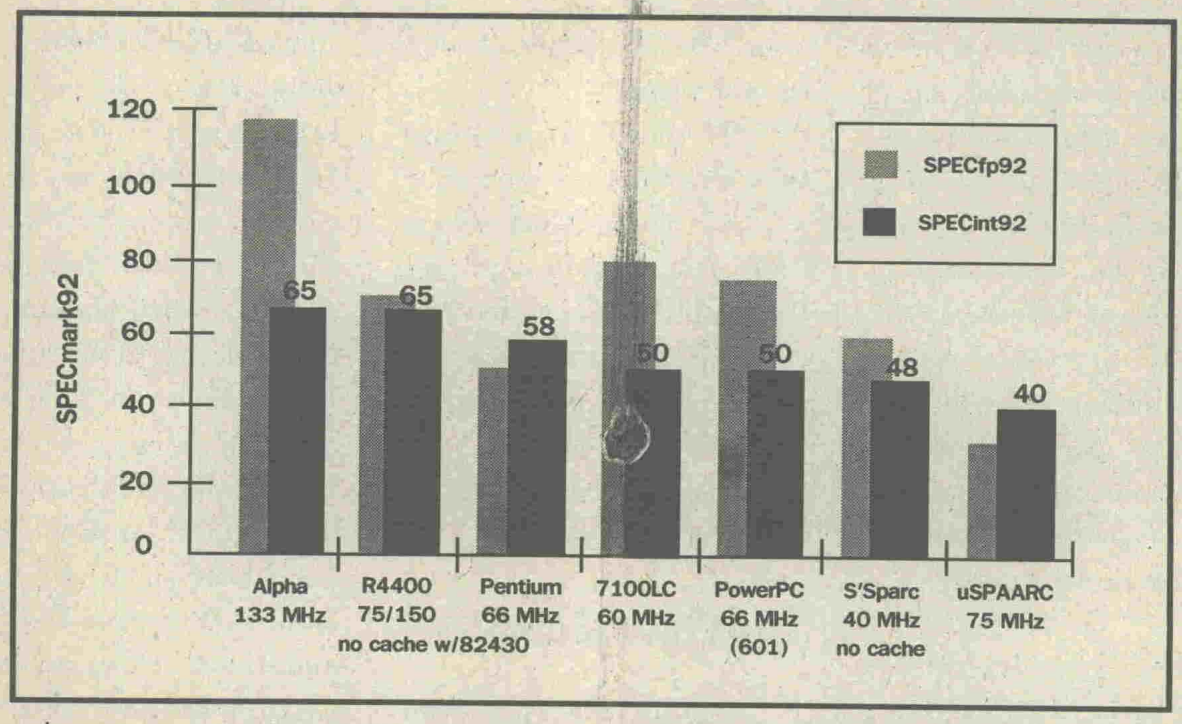
ก้าวต่อไปของอินเทล

จากการก้าวที่ค่อนข้างห่างของอินเทล ที่วิ่งจาก 486DX2 ไปเป็นเพนเทียม 66 ทำให้การสนับสนุนเครื่องคอมพิวเตอร์ในรุ่นต่อจาก 486 ก้าวไม่ทัน ผู้สันทัดกรณีได้กล่าวทำนายว่าอินเทลจะต้องลดประสิทธิภาพบางส่วนของเพนเทียมลง และออกชิพซีพียูตัวใหม่ในปลายปีนี้ แต่อาจจะยังคงใช้สัญญาณนาฬิกาที่ 66 เมกะเฮิรตซ์เท่าเดิม และอาจจะเพิ่มประสิทธิภาพ 486 ด้วยการออกรุ่นที่ใช้สัญญาณนาฬิกา 75-100 เมกะเฮิรตซ์ หรือพัฒนา 80486-DX3 ที่มีโครงสร้างภายในเปลี่ยนแปลงไป เช่น เพิ่มแคชเป็น 16 กิโลไบต์

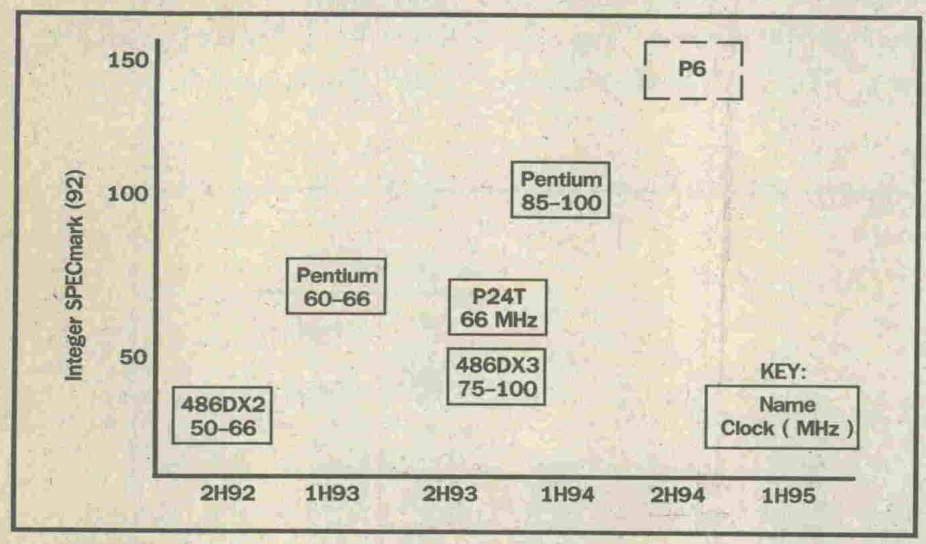
นอกจากนี้อินเทลคงพัฒนาเทคโนโลยีการผลิตชิพให้เล็กลงเหลือขนาด 0.6 ไมครอนได้ ในกรณีเช่นนี้อาจทำให้อินเทลพัฒนาขีดความสามารถของซีพียู อินเทลไม่เคยปฏิเสธข่าวลือต่าง ๆ ที่ว่าตนกำลังพัฒนา P6 อยู่ และ P6 ที่ว่านี้น่าจะมีประสิทธิภาพประมาณ 2.5 เท่าของเพนเทียมที่ 66 เมกะเฮิรตซ์ และยังคาดคะเนกันต่อไปอีกว่าอินเทลจะพัฒนา P7 ซึ่งมีโครงสร้างใหม่และจะเลิกการทำให้คอมแพตทิเบิลกับ 80x86



รูปที่ 11 กราฟแสดงประสิทธิภาพของซีพียูรูปต่าง ๆ (ที่มา : Microprocesser Report)



รูปที่ 12 กราฟแสดงการคาดคะเนไมโครคอมพิวเตอร์ที่มีขายในต้นปี 2537 ในราคาประมาณ 5000 เหรียญสหรัฐ



รูปที่ 13 ก้าวต่อไปของอินเทลในปี 1994

อนาคต

การแข่งขันทางด้านชิพซีพียูยังคงต้องเดินหน้าต่อไป แม้แต่บริษัท AMD และ Cylix ก็ประกาศว่าตนกำลังผลิตซีพียูรุ่นใหม่ที่คอมแพตทิเบิลกับ 80486 โดยที่มีประสิทธิภาพสูงกว่า อย่างไรก็ตาม หากเพนเทียมประสบผลสำเร็จทางการตลาด ก็เชื่อว่าหลายบริษัทคงผลิตให้คอมแพตทิเบิลได้ไม่ยากเพราะเทคโนโลยี VLSI ของบริษัทเหล่านี้ก็ไม่ได้ยิ่งหย่อนไปกว่าของอินเทล การแข่งขันทางด้านการตลาดในยุคต่อไปโดยเฉพาะซอฟต์แวร์จะเป็นตัวตัดสินทางหนึ่ง เพราะไอบีเอ็มเองก็หันมาดับโอเอสทู และผลิต POWER PC ซึ่งเป็นชิพที่จะลงมาช่วยโอเอสทูและวินโดวส์-เอ็นที ส่วน RISC ที่แข่งขันกันนั้น ก็ลดตัวเองจากเวอร์กสเตชันกำลังกลายเป็นพีซีในที่สุด

การแข่งขันกันจึงดูท่าจะยิ่งเข้มข้นขึ้นทุกวัน

หนังสืออ้างอิง

1. Donale Alpert "Architecture of the pentium microprocesser" IEEE Micro, June 1993, Vol. 13, No. 3, pp. 11-21.

2. Linley Gueennap "Pentium Approaches RISC Performance" Microprocesser Report, Vol. 17, No. 4, March 29, 1993.